

PATENT ABSTRACTS OF JAPAN

(1) Publication number : 0-036582
(43) Date of publication of application : 02. 02. 2000

(51) Int. Cl.

H01L 27/118
H01L 27/04
H01L 21/822
H01L 21/8234
H01L 27/088
H03F 3/45

(21) Application number : 11-099246
(22) Date of filing : 06. 04. 1999

(71) Applicant : MATSUSHITA ELECTRONICS INDUSTRY CORP
(72) Inventor : OZASA MASAYUKI
OKAMOTO TATSUSHIZU
KURIMOTO HIDEHIKO
MICHIMASA SHIRO
NAGAOKA KAZUHIKO

(30) Priority

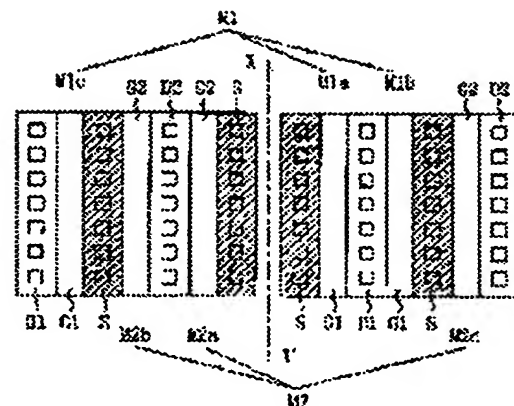
Priority number : 10097242 Priority date : 09. 04. 1998 Priority country : JP

(54) PAIRED MOSTRANSISTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To enable a high current gain to be made while acquiring the output current balance in the case of composing a differential amplifier or current mirror circuit, etc., in a paired MOS transistor applicable to a semiconductor reintegrated circuit.

SOLUTION: The first and second MOS transistors M1, M2 are arranged on the same substrate. The first and second MOS transistors M1, M2 are divided into multiple groups regarding the gate width (three groups in the figure) to be composed of the first divided transistors M1a, M1b, M1c and the second divided transistors M2a, M2b, M2c. The first divided transistor M1a-M1c and the second divided transistors M2a-M2c are arranged so as to equalize the total sum of the positional coordinate value making reference to the central line x-x' in the gate directions of these gates. Accordingly, the total sum of the errors in the gate lengthwise direction of the gates of respective divided transistors is made zero, thereby enabling the current difference between two kinds of transistors M1, M2 to be eliminated.



LEGAL STATUS

| | |
|---|--------------|
| [Date of request for examination] | 13. 03. 2000 |
| [Date of sending the examiner's decision of rejection] | 16. 01. 2001 |
| [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration] | |
| [Date of final disposal for application] | |
| [Patent number] | 3523521 |
| [Date of registration] | 20. 02. 2004 |
| [Number of appeal against examiner's decision of rejection] | 2001-02117 |
| [Date of requesting appeal against examiner's decision of rejection] | 15. 02. 2001 |
| [Date of extinction of right] | |

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-36582

(P2000-36582A)

(43)公開日 平成12年2月2日(2000.2.2)

| (51)IntCl. | 識別記号 | F I | テマート(参考) |
|------------|---------|---------------|----------|
| H 0 1 L | 27/118 | H 0 1 L 21/82 | M |
| | 27/04 | H 0 3 F 3/45 | A |
| | 21/822 | H 0 1 L 27/04 | A |
| | 21/8234 | 27/08 | 1 0 2 C |
| | 27/088 | | |

審査請求 未請求 請求項の数12 O L (全 10 頁) 最終頁に続く

(21)出願番号 特願平11-99246

(22)出願日 平成11年4月6日(1999.4.6)

(31)優先権主張番号 特願平10-97242

(32)優先日 平成10年4月9日(1998.4.9)

(33)優先権主張国 日本(JP)

(71)出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72)発明者 小笹 正之

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72)発明者 岡本 龍鎮

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74)代理人 100077931

弁理士 前田 弘 (外1名)

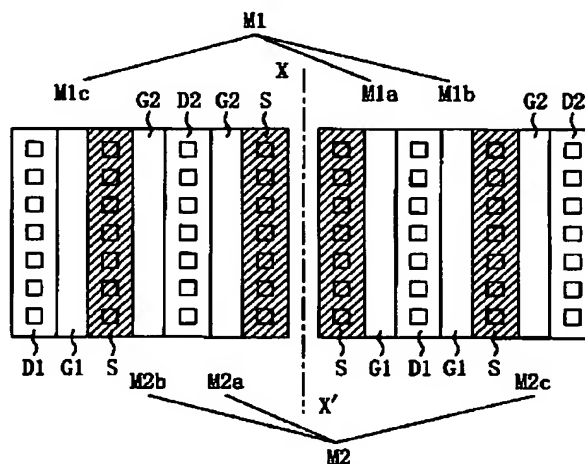
最終頁に続く

(54)【発明の名称】 MOSトランジスタ対装置

(57)【要約】

【課題】 半導体集積回路に使用するMOSトランジスタ対において、差動増幅器やカレントミラー回路等を構成する場合に、出力電流バランスを保ちながら高い電流利得を得ることができるようにする。

【解決手段】 同一基板上に第1及び第2のMOSトランジスタM1、M2が配置される。この第1及び第2のMOSトランジスタは、各々、ゲート幅に関して複数個(同図では3個)に分割されて、第1の分割トランジスタM1a、M1b、M1c、及び第2の分割トランジスタM2a、M2b、M2cで構成される。前記第1の分割トランジスタM1a～M1c及び第2の分割トランジスタM2a～M2cは、それ等ゲートのゲート方向の中心線x-x'を基準とする位置座標値の総和が、相互に等しくなるように配置される。従って、各分割トランジスタのゲートのゲート長方向の誤差の総和が"0"値となるので、2個のMOSトランジスタM1、M2間の電流差がなくなる。



【特許請求の範囲】

【請求項1】 同一基板上に第1及び第2のMOSトランジスタが配置されたMOSトランジスタ対装置であって、

前記第1及び第2のMOSトランジスタは、各々、ゲート長方向に並列配置された複数個の分割トランジスタで構成され、

前記第1及び第2のMOSトランジスタは、前記第1のMOSトランジスタを構成する前記分割トランジスタの各ゲートのゲート長の総和と、前記第2のMOSトランジスタを構成する前記分割トランジスタの各ゲートのゲート長の総和とが一致するように、前記第1及び第2のMOSトランジスタ間で交互に配置されることを特徴とするMOSトランジスタ対装置。

【請求項2】 同一基板上に第1及び第2のMOSトランジスタが配置されたMOSトランジスタ対装置であって、

前記第1及び第2のMOSトランジスタは、各々、ゲート長方向に並列配置された複数個の分割トランジスタで構成され、

前記第1及び第2のMOSトランジスタは、所定の座標を基準にして、前記第1のMOSトランジスタを構成する前記分割トランジスタの各ゲートのゲート長方向の位置座標値の総和と、前記第2のMOSトランジスタを構成する前記分割トランジスタの各ゲートのゲート長方向の位置座標値の総和とが、等しくなるように配置されることを特徴とするMOSトランジスタ対装置。

【請求項3】 前記第1及び第2の分割トランジスタは、前記第1及び第2のMOSトランジスタ間で交互に配置されることを特徴とする請求項2記載のMOSトランジスタ対装置。

【請求項4】 前記第1及び第2の分割トランジスタは、前記第1及び第2のMOSトランジスタ別に、線対称に配置されることを特徴とする請求項2記載のMOSトランジスタ対装置。

【請求項5】 前記第1及び第2の分割トランジスタは、各々、その各ゲート幅が等しくなるように前記第1及び第2のMOSトランジスタを等分割して構成されることを特徴とする請求項1又は2記載のMOSトランジスタ対装置。

【請求項6】 前記第1及び第2の分割トランジスタは、ソースを共有することを特徴とする請求項1又は2記載のMOSトランジスタ対装置。

【請求項7】 前記第1及び第2の分割トランジスタは、ドレインを共有することを特徴とする請求項1又は2記載のMOSトランジスタ対装置。

【請求項8】 同一基板上に配置された第1及び第2のMOSトランジスタより成り、カレントミラー回路を構成するMOSトランジスタ対と、

第3のMOSトランジスタより成る出力トランジスタと

を備えたMOSトランジスタ対装置であって、

前記第1、第2及び第3のMOSトランジスタは、各々、ゲート長方向に並列に配置された複数個の分割トランジスタで構成され、

前記第1、第2及び第3のMOSトランジスタは、所定の座標を基準にして、前記第1のMOSトランジスタを構成する前記分割トランジスタのゲートのゲート長方向の位置座標値の総和と、前記第2のMOSトランジスタを構成する前記分割トランジスタの各ゲートのゲート長方向の位置座標値の総和と、前記第3のMOSトランジスタを構成する前記分割トランジスタの各ゲートのゲート長方向の位置座標値の総和とが、等しくなるように配置されることを特徴とするMOSトランジスタ対装置。

【請求項9】 前記第1、第2及び第3の分割トランジスタは、前記第1、第2及び第3のMOSトランジスタ別に、線対称に配置されることを特徴とする請求項8記載のMOSトランジスタ対装置。

【請求項10】 前記第1、第2及び第3の分割トランジスタは、各々、その各ゲート幅が等しくなるように前記第1、第2及び第3のMOSトランジスタを複数個に等分割して構成されることを特徴とする請求項8記載のMOSトランジスタ対装置。

【請求項11】 前記第1、第2及び第3の分割トランジスタは、ソースを共有することを特徴とする請求項8記載のMOSトランジスタ対装置。

【請求項12】 前記第1、第2及び第3の分割トランジスタは、ドレインを共有することを特徴とする請求項8記載のMOSトランジスタ対装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路に使用するMOSトランジスタ対装置に関する。

【0002】

【従来の技術】図10は、従来のMOSトランジスタ対のマスクレイアウトを示す。同図において、M1は第1のMOSトランジスタ、M2は第1のMOSトランジスタの対となる第2のMOSトランジスタである。第1のMOSトランジスタM1は、ゲートG1、ソースS及びドレインD1を有し、同様に第2のMOSトランジスタM2もゲートG2、ソースS及びドレインD2を有する。図10のMOSトランジスタ対は、図6に示す差動トランジスタ対や、図7に示すカレントミラートランジスタ対に使用される。図6及び図7において、Bは基板を示す。これ等の差動トランジスタ対やカレントミラートランジスタ対では、回路構成上、ソースが共通であるので、図11に示すように、図10のMOSトランジスタM1、M2のソースを共通にしたマスクレイアウトを構成する場合もある。図12は、第1及び第2のMOSトランジスタM1、M2について、そのゲート幅を各々3分割してゲート長方向に並列配置した例を示す。同図

において、第1のMOSトランジスタM1は、3個の分割トランジスタM1a、M1b、M1cで構成され、これ等分割トランジスタは、ゲートG1、ソースS及びドレインD1を有し、中央に位置する分割トランジスタM1bは、ソース及びドレインが左右に位置する分割トランジスタM1a、M1cの各ソース及びドレインで共有される。同様に、第2のMOSトランジスタM2も、3個の分割トランジスタM2a、M2b、M2cで構成され、これ等分割トランジスタは、ゲートG2、ソースS及びドレインD2を有し、中央に位置する分割トランジスタM2bは、ソース及びドレインが左右に位置する分割トランジスタM2a、M2cの各ソース及びドレインで共有される。

【0003】また、従来、半導体集積回路に使用するMOSトランジスタ対として、特開平4-73961号公報や特開平5-90516号公報に開示されるものがある。これ等は、図13に示すように、第1のMOSトランジスタについてそのゲート幅を2分割して構成されたトランジスタM1a、M1bと、第2のMOSトランジスタについてそのゲート幅を2分割して構成されたトランジスタM2a、M2bとが対角状に、換言すれば点対称に配置されている。

【0004】更に、従来、MOSトランジスタ対として特開平2-12929号公報に開示されるものがある。このMOSトランジスタ対は、図14に示すように、第1のMOSトランジスタを5分割して構成されたトランジスタM1a~M1eと、第2のMOSトランジスタを5分割して構成されたトランジスタM2a~M2eとを有し、これ等は規則性をもって交互に配置される。

【0005】

【発明が解決しようとする課題】ところで、半導体集積回路に使用するMOSトランジスタ対では、差動増幅器やカレントミラー等を構成する場合に、出力電流バランスを保ちながら高い電流利得を得ることが重要である。

【0006】しかしながら、前記従来のMOSトランジスタ対では、第1及び第2のMOSトランジスタに流れる電流値に大きな差が生じたり、又は電流利得が低い欠点があった。以下、この欠点を詳述する。

【0007】一般的に、MOSトランジスタの電流値は、

$$I_d = k \cdot W(V_{gs} - V_{th})^2 / (2 \cdot L)$$

で表される。ここで、 I_d はMOSトランジスタのドレイン電流、 k はMOSトランジスタの電流増幅率、 W はMOSトランジスタのゲート幅、 V_{gs} はゲート-ソース間電圧、 V_{th} はMOSトランジスタのしきい値電圧、 L はMOSトランジスタのゲート長である。

【0008】ここで、図10及び図11のMOSトラン*

$$\begin{aligned} DI_d &= I_{dd} \{ (-4.5DL - 0.5DL - 1.5DL + 2.5DL + 3.5DL) \\ &\quad - (4.5DL + 1.5DL + 0.5DL - 2.5DL - 3.5DL) \} / L \\ &= -I_d(DL/L)/5 \\ &= -I_d/5 \cdot DL/L \end{aligned}$$

*ジスタ対において、第1及び第2のMOSトランジスタM1、M2間の電流バランスについて考察する。両MOSトランジスタM1、M2は、チップ上同位置にないため、加工ばらつきが両MOSトランジスタのゲート間に生じる。第1のMOSトランジスタM1のゲート幅 W 及びゲート長 L を基準にして、第2のMOSトランジスタM2の加工ばらつきをゲート幅方向を DW 、ゲート長方向を DL とすると、第2のMOSトランジスタM2のドレイン電流 I_d は、

$$I_d = k \cdot W(1 + DW/W)(V_{gs} - V_{th})^2 / \{ 2 \cdot L(1 + DL/L) \}$$

となる。 DW/W 及び DL/L が"1"よりも小さい値であるとして、1次の近似を取ると、第1のMOSトランジスタM1との電流差 DI_d は、

$$DI_d = I_d(DW/W - DL/L)$$

となる。この電流差が回路性能の劣化、更には半導体集積回路の歩留まりの低下に至る要因となる。これを避けるために、図10、図11のMOSトランジスタ対では、ゲート幅 W 及びゲート長 L が大きいサイズで設計されるが、ゲート長 L を大きく設計することはMOSトランジスタの電流増幅を低減する。また、この低い電流増幅を補うために、ゲート幅 W を更に大きく設計すると、MOSトランジスタ対は、半導体集積回路上の占有面積を増大させるという欠点が生じる。

【0009】更に、図12に示すMOSトランジスタ対では、ゲート幅 W のみが大きく設計されるものの、ゲート長 L のばらつきに起因する両MOSトランジスタ間の電流差を吸収することができない。ここで、図12のMOSトランジスタ対における両トランジスタM1、M2間の電流差を計算すると、次の通りである。MOSトランジスタのゲート長方向の加工精度は、 $X-X'$ の中心線からの距離にほぼ比例するので、中心線 $X-X'$ に近いゲートのゲート長方向の加工ばらつきを DL とすると、両MOSトランジスタM1、M2間の電流差は、各分割トランジスタの電流値を I_{dd} とすると、この場合、 DI_d は、3分割された分割トランジスタの電流の和で与えられるので、

$$DI_d = I_{dd} \{ (DL + 2DL + 3DL) - (-DL - 2DL - 3DL) \} / L = I_d(12DL/L) / 3 = 4I_d \cdot DL/L$$

となり、電流差は大きい。

【0010】加えて、図14のMOSトランジスタ対であっても、両トランジスタ間の電流差は"0"にならない。ここで、この両MOSトランジスタ間の電流差を計算すると、次の通りである。両MOSトランジスタが5分割されているので、この両MOSトランジスタM1、M2間の電流差 DI_d は、

となり、電流差は"0"にならない。

【0011】加えて、図13に示したMOSトランジスタ対では、レイアウトが点対称であるので、電流バランスに対して効果がある。しかし、ゲート長Lが長く設計されるので、電流増幅には大きな効果がない。しかも、対角線方向のレイアウトであるために、一方の分割トランジスタM1a、M1bのゲート同志を接続する配線のレイアウトを優先すると、他方の分割トランジスタM2a、M2bのゲート接続用配線が回避を必要とする形状となって、配線が複雑になると共に、占有面積が大きくなる。これを避けるためには、配線層が2層必要となる。

【0012】本発明は前記従来の課題を解決するものであり、その目的は、出力電流バランスを保ちながら高い電流利得を得ることが可能なMOSトランジスタ対装置を提供することにある。

【0013】

【課題を解決するための手段】以上の目的を達成するために、本発明のMOSトランジスタ対装置では、MOSトランジスタ対を構成する2個のMOSトランジスタを、ゲート幅に関して分割して、各々、複数個の分割トランジスタで構成し、これ等分割トランジスタのゲート長方向の誤差の総和を小さくするように、各分割トランジスタをレイアウトし、これにより、両MOSトランジスタ間に生じる電流差を小さく、ないし"0"値に低減する。

【0014】すなわち、請求項1記載の発明のMOSトランジスタ対装置は、同一基板上に第1及び第2のMOSトランジスタが配置されたMOSトランジスタ対装置であって、前記第1及び第2のMOSトランジスタは、各々、ゲート長方向に並列配置された複数個の分割トランジスタで構成され、前記第1及び第2のMOSトランジスタは、前記第1のMOSトランジスタを構成する前記分割トランジスタの各ゲートのゲート長の総和と、前記第2のMOSトランジスタを構成する前記分割トランジスタの各ゲートのゲート長の総和とが一致するように、前記第1及び第2のMOSトランジスタ間で交互に配置されることを特徴とする。

【0015】請求項2記載の発明のMOSトランジスタ対装置は、同一基板上に第1及び第2のMOSトランジスタが配置されたMOSトランジスタ対装置であって、前記第1及び第2のMOSトランジスタは、各々、ゲート長方向に並列配置された複数個の分割トランジスタで構成され、前記第1及び第2のMOSトランジスタは、所定の座標を基準にして、前記第1のMOSトランジスタを構成する前記分割トランジスタの各ゲートのゲート長方向の位置座標値の総和と、前記第2のMOSトランジスタを構成する前記分割トランジスタの各ゲートのゲート長方向の位置座標値の総和とが、等しくなるように配置されることを特徴とする。

【0016】請求項3記載の発明は、前記請求項2記載

のMOSトランジスタ対装置において、前記第1及び第2の分割トランジスタは、前記第1及び第2のMOSトランジスタ間で交互に配置されることを特徴とする。

【0017】請求項4記載の発明は、前記請求項2記載のMOSトランジスタ対装置において、前記第1及び第2の分割トランジスタは、前記第1及び第2のMOSトランジスタ別に、線対称に配置されることを特徴とする。

【0018】請求項5記載の発明は、前記請求項1又は2記載のMOSトランジスタ対装置において、前記第1及び第2の分割トランジスタは、各々、その各ゲート幅が等しくなるように前記第1及び第2のMOSトランジスタを等分割して構成されることを特徴とする。

【0019】請求項6記載の発明は、前記請求項1又は2記載のMOSトランジスタ対装置において、前記第1及び第2の分割トランジスタは、ソースを共有することを特徴とする。

【0020】請求項7記載の発明は、前記請求項1又は2記載のMOSトランジスタ対装置において、前記第1及び第2の分割トランジスタは、ドレインを共有することを特徴とする。

【0021】請求項8記載の発明のMOSトランジスタ対装置は、同一基板上に配置された第1及び第2のMOSトランジスタより成り、カレントミラー回路を構成するMOSトランジスタ対と、第3のMOSトランジスタより成る出力トランジスタとを備えたMOSトランジスタ対装置であって、前記第1、第2及び第3のMOSトランジスタは、各々、ゲート長方向に並列に配置された複数個の分割トランジスタで構成され、前記第1、第2及び第3のMOSトランジスタは、所定の座標を基準にして、前記第1のMOSトランジスタを構成する前記分割トランジスタのゲートのゲート長方向の位置座標値の総和と、前記第2のMOSトランジスタを構成する前記分割トランジスタの各ゲートのゲート長方向の位置座標値の総和と、前記第3のMOSトランジスタを構成する前記分割トランジスタの各ゲートのゲート長方向の位置座標値の総和とが、等しくなるように配置されることを特徴とする。

【0022】請求項9記載の発明は、前記請求項8記載のMOSトランジスタ対装置において、前記第1、第2及び第3の分割トランジスタは、前記第1、第2及び第3のMOSトランジスタ別に、線対称に配置されることを特徴とする。

【0023】請求項10記載の発明は、前記請求項8記載のMOSトランジスタ対装置において、前記第1、第2及び第3の分割トランジスタは、各々、その各ゲート幅が等しくなるように前記第1、第2及び第3のMOSトランジスタを複数個に等分割して構成されることを特徴とする。

【0024】請求項11記載の発明は、前記請求項8記

載のMOSトランジスタ対装置において、前記第1、第2及び第3の分割トランジスタは、ソースを共有することを特徴とする。

【0025】請求項12記載の発明は、前記請求項8記載のMOSトランジスタ対装置において、前記第1、第2及び第3の分割トランジスタは、ドレインを共有することを特徴とする。

【0026】以上の構成により、請求項1ないし請求項12記載の発明では、各MOSトランジスタにおいて、複数の分割トランジスタが、その各ゲートのゲート長方向の誤差の総和が一致ないし"0"値になるようにレイアウトされる。従って、MOSトランジスタ間に生じる電流差が小さく、ないし"0"値に低減される。しかも、各MOSトランジスタがゲート幅に関して複数の分割され、これにより各分割トランジスタのゲート長は長くなるので、各分割トランジスタは大きなドレイン電流が流れ、MOSトランジスタの電流増幅は大きくなる。

【0027】従って、出力電流バランスを保ちながら高い電流利得を得ることのできるMOSトランジスタ対、及びこのMOSトランジスタを使用してオフセットばらつきが小さいオペアンプが得られる。

【0028】

【発明の実施の形態】以下、本発明のMOSトランジスタ対及びオペアンプの実施の形態を図面に基づいて説明する。

【0029】(第1の実施の形態)図1は、本発明の第1の実施の形態のMOSトランジスタ対のマスキレイアウトを示す。同図において、M1は第1のMOSトランジスタ、M2は第2のMOSトランジスタであって、これ等MOSトランジスタは同一基板上に配置される。第1のMOSトランジスタM1はゲート幅を等分割されて、2個の分割トランジスタ(第1の分割トランジスタ)M1a、M1bが構成され、これ等分割トランジスタM1a、M1bがゲート長方向に並列に配置される。同様に、第2のMOSトランジスタM2もゲート幅を等分割されて、2個の分割トランジスタ(第2の分割トランジスタ)M2a、M2bが構成され、これ等分割トランジスタM2a、M2bがゲート長方向に並列に配置される。これ等4個の分割トランジスタにおいて、G1、G2はゲート、Sはソース、D1、D2はドレインである。

【0030】2個の分割トランジスタM1a、M1bの各ゲートのゲート長の総和は、他の2個の分割トランジスタM2a、M2bの各ゲートのゲート長の総和に等しい。また、前記4個の分割トランジスタM1a、M1b、M2a、M2bは、MOSトランジスタ対の中心線x-x'に対して次の通り配置される。即ち、中心線x-x'の図中左方には、第2のMOSトランジスタM2の分割トランジスタM2aが配置され、その更に左方に第1のMOSトランジスタM1の分割トランジスタM1aが配置される。また、中心線x-x'の図中右方には、第1のMOSトランジスタM1

の分割トランジスタM1bが配置され、その更に右方に第2のMOSトランジスタM2の分割トランジスタM2bが配置される。換言すれば、これ等4個の分割トランジスタは、第1及び第2MOSトランジスタM1、M2間で交互に配置されている。更に、第1のMOSトランジスタM1の分割トランジスタM1aと第2のMOSトランジスタM2の分割トランジスタM2bとは、中心線x-x'からの距離が一致し、第2のMOSトランジスタM2の分割トランジスタM2aと第1のMOSトランジスタM1の分割トランジスタM1bとは、中心線x-x'からの距離が一致する。従って、第1のMOSトランジスタM1の2個の分割トランジスタM1a、M1bの各ゲートのゲート長方向の位置座標値の総和と、第2のMOSトランジスタM2の2個の分割トランジスタM2a、M2bの各ゲートのゲート長方向の位置座標値の総和とは、相互に一致する。

【0031】以上のように構成されたMOSトランジスタ対について、両MOSトランジスタM1、M2間の電流差を計算すると、次の通りである。各MOSトランジスタのゲート長方向の加工精度は、中心線x-x'からの距離にほぼ比例するので、中心線x-x'に近いゲートの加工ばらつきをDLとすると、MOSトランジスタM1、M2間の電流差 ΔI_d は、

$$\Delta I_d = I_{dd} \left[\{(-DL+2DL)-(DL-2DL)\} / L \right] = I_d \cdot (2DL/L) / 2 = I_d \cdot DL/L$$

となり、図12のMOSトランジスタ対の電流差よりも小さくなる。

【0032】図2は、図1のMOSトランジスタ対を更に改良したものである。即ち、図2において、第1のMOSトランジスタM1は3個の分割トランジスタM1a、M1b、M1cに分割され、第2のMOSトランジスタM2も3個の分割トランジスタM2a、M2b、M2cに分割される。分割トランジスタM1cと分割トランジスタM2bとはソースSを、分割トランジスタM2bと分割トランジスタM2aとはドレインD2を、分割トランジスタM1aと分割トランジスタM1bとはドレインD1を、分割トランジスタM1bと分割トランジスタM2cとはソースSを各々共用する。

【0033】第1のMOSトランジスタM1において、分割トランジスタM1aの位置座標を、中心線x-x'を基準にして、+L0(中心線x-x'の図中右方を+、左方を-とする)とすると、分割トランジスタM1bの位置座標は+2L0、分割トランジスタM1cの位置座標は-3L0である。また、第2のMOSトランジスタM2において、分割トランジスタM2aの位置座標は-L0、分割トランジスタM2bの位置座標は-2L0、分割トランジスタM2cの位置座標は+3L0である。従って、第1のMOSトランジスタM1の3個の分割トランジスタM1a、M1b、M1cの位置座標+L0、+2L0、-3L0の総和は"0"値であり、第2のMOSトランジスタM2の3個の分割トランジスタM2a、M2b、M2cの位置座標-L0、-2L0、+3L0の総和も"0"値である。

【0034】図2に示したMOSトランジスタ対では、2個のMOSトランジスタM1、M2間の電流差 I_{Id} は、

$$I_{Id} = I_{dd} \{ (-DL - 2DL + 3DL) - (DL + 2DL - 3DL) \} / L = 0$$

となり、完全に消去される。つまり、ゲートのゲート長方向の誤差 DL の総和が"0"値となるマスキレイアウトであるので、電流差は"0"値になる。従って、この2個のMOSトランジスタM1、M2間の出力電流バランスは良好になる。

【0035】しかも、図2のMOSトランジスタ対では、従来例の図10、図11及び図13とは異なり、図12と同等の長いゲート長を実現できるので、MOSトランジスタ対として高い電流利得を得ることができる。

【0036】更に、図2のMOSトランジスタ対では、第1及び第2のMOSトランジスタM1、M2のドレイン面積が相互に等しいので、差動MOSトランジスタ対の設計に適している。

【0037】(第2の実施の形態)次に、本発明の第2の実施の形態のMOSトランジスタ対を説明する。

【0038】図3は本実施の形態のMOSトランジスタ対のマスキレイアウトを示す。同図において、第1のMOSトランジスタM1は、ゲート幅に関して2つに等分割されて、2個の分割トランジスタM1a、M1bで構成され、第2のMOSトランジスタM2も同様に等分割されて、2個の分割トランジスタM2a、M2bで構成される。同図では、ゲートをG1、G2、ソースをS、ドレインをD1、D2で示している。

【0039】第2のMOSトランジスタM2では、分割トランジスタM2aは中心線 $x-x'$ の図中左方に配置され、分割トランジスタM2bは右方に配置される。第1のMOSトランジスタM1では、分割トランジスタM1aは第2のMOSトランジスタM2の分割トランジスタM2aの左方に配置され、分割トランジスタM1bは第2のMOSトランジスタM2の分割トランジスタM2bの右方に配置される。即ち、図3から判るように、第1のMOSトランジスタM1では、2個の分割トランジスタM1a、M1bは、その位置座標が中心線 $x-x'$ を基準とする線対称になるように配置されていて、その各ゲート長方向の位置座標値の総和は"0"値である。第2のMOSトランジスタM2の2個の分割トランジスタM2a、M2bについても同様である。

【0040】以上のように構成された本実施の形態のMOSトランジスタ対について、両MOSトランジスタM1、M2間の電流差を計算する。第1の実施の形態と同様に、MOSトランジスタのゲートのゲート長方向の加工ばらつきは、中心線 $x-x'$ からの距離にほぼ比例するので、中心線 $x-x'$ に近いゲートの加工ばらつきを DL とすると、2個のMOSトランジスタM1、M2の電流差は、

$$I_{Id} = I_{dd} \{ (DL - DL) + (2DL - 2DL) \} / L = 0$$

となり、消去される。従って、両MOSトランジスタM1、M2間の出力電流バランスを良好にできる。しかも、従来例の図10、図11及び図13のMOSトランジスタ対とは異なり、図12と同等の長いゲート長を実現できるので、MOSトランジスタ対として高い電流利得を得ることができる。

【0041】図4は、本実施の形態の改良例を示す。本改良例では、2個の分割トランジスタM1a、M2aでソースSを共用し、分割トランジスタM2a、M2bでドレインD2を共用し、分割トランジスタM2b、M1bでソースSを共用したものである。

【0042】従って、本実施の形態に比べて、MOSトランジスタ対のサイズが小型化されて、ゲート長方向のばらつき量 DL 自体が小さくなるので、両MOSトランジスタM1、M2間の出力電流バランスをより一層良くすることが可能である。しかも、第2のMOSトランジスタM2のドレイン面積は第1のMOSトランジスタのドレイン面積よりも小さいので、第2のMOSトランジスタM2を出力側に配置すれば、MOSトランジスタ対(カレントミラー回路)として出力側の周波数特性を改善することができる。

【0043】図5は、図4の改良例を更に改良した例を示す。図5では、第1のMOSトランジスタM1を4個の分割トランジスタM1a~M1dに等分割し、第2のMOSトランジスタM2を4個の分割トランジスタM2a~M2dに等分割している。第1のMOSトランジスタM1の2個の分割トランジスタM1c、M1dは中心線 $x-x'$ を基準に線対称に配置され、第2のMOSトランジスタM2の2個の分割トランジスタM2c、M2dも同様に線対称に配置される。また、これ等分割トランジスタ間では、図4の改良例と同様にソースS及びドレインD1、D2が共用される。

【0044】(第3の実施の形態)続いて、本発明の第3の実施の形態のオペアンプを図面に基づいて説明する。図9は、本実施の形態のオペアンプのマスキレイアウトを示す。

【0045】同図では、前記第2の実施の形態の図4に示したMOSトランジスタ対を利用している。即ち、同図のオペアンプは、図4と同様に第1及び第2のMOSトランジスタM1、M2より成るMOSトランジスタ対を備える。このMOSトランジスタ対の構成及び分割トランジスタのレイアウトは、図4と同一であるので、その説明を省略する。

【0046】更に、同図のオペアンプは、第3のMOSトランジスタM3を持つ。この第3のMOSトランジスタM3は前記第1及び第2のMOSトランジスタM1、M2と同一の基板上に配置される。前記MOSトランジスタ対はカレントミラー回路を構成し、前記第3のMOSトランジスタM3は出力トランジスタを構成する。前記第3のMOSトランジスタM3は、ゲート幅に関して

2つに分割されて、2個の分割トランジスタ（第3の分割トランジスタ）M3a、M3bで構成され、一方の分割トランジスタM3aは、第1のMOSトランジスタM1の分割トランジスタM1aの図中左方に配置され、他方の分割トランジスタM3bは、第1のMOSトランジスタM1の分割トランジスタM1bの図中右方に配置される。この両分割トランジスタM3a、M3bは、中心線x-x'からのゲート長方向の距離が等しい位置に、換言すれば線対称に配置される。従って、これ等分割トランジスタのゲートのゲート長方向の位置座標値の総和は"0"値である。

【0047】図8は、一般に知られたオペアンプの回路例である。同図に示すオペアンプ等では、MOSトランジスタ対（即ち、カレントミラー回路）を構成する第1及び第2のMOSトランジスタM1、M2の両特性と同様に、第2のMOSトランジスタM2の特性と出力トランジスタM3の特性とが等しいことがオペアンプのオフセット低減の必要条件である。前記図9に示したオペアンプのレイアウトは、図8の3個のMOSトランジスタM1～M3のレイアウト例である。

【0048】図9に示したオペアンプにおける2個のMOSトランジスタ間の電流差を計算する。第1及び第2のMOSトランジスタM1、M2間の電流差は、
$$DI_d = I_{dd}[(0.5DL - 0.5DL) + (1.5DL - 1.5DL)]/L = 0$$
となり、消去される。

【0049】更に、第1及び第3のMOSトランジスタM1、M3間、及び第2及び第3のMOSトランジスタM2、M3間の電流差は、各々、

$$DI_d = I_{dd}[(3.5DL - 3.5DL) - (1.5DL - 1.5DL)]/L = 0$$

$$DI_d = I_{dd}[(3.5DL - 3.5DL) - (0.5DL - 0.5DL)]/L = 0$$

となり、第3のMOSトランジスタM3に対しても消去される。

【0050】従って、3個のMOSトランジスタM1、M2、M3間の出力電流バランスを良好に保持して、オフセットばらつきが小さいオペアンプを構成することが可能である。

【0051】尚、以上の説明では、図6～図8に示したように、NチャンネルMOSトランジスタを用いて説明したが、第1ないし第3のMOSトランジスタM1～M3をPチャンネルトランジスタで構成しても良いのは勿論である。

【0052】

【発明の効果】以上説明したように、本発明によれば、出力電流バランスを保ちながら高い電流利得を得ることのできる優れたMOSトランジスタ対、及びこのMOS

トランジスタを使用してオフセットばらつきが小さいオペアンプを得ることができる効果を奏する。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態のMOSトランジスタ対のマスキレイアウトを示す図である。

【図2】同実施の形態のMOSトランジスタ対のマスキレイアウトを改良した例を示す図である。

【図3】本発明の第2の実施の形態のMOSトランジスタ対のマスキレイアウトを示す図である。

10 【図4】同実施の形態のMOSトランジスタ対のマスキレイアウトを改良した例を示す図である。

【図5】図4に示す改良例を更に改良したレイアウト例を示す図である。

【図6】差動MOSトランジスタ対の回路例を示す図である。

【図7】カレントミラートランジスタ対の回路例を示す図である。

【図8】オペアンプの回路例を示す図である。

20 【図9】本発明の第3の実施の形態のオペアンプのマスキレイアウトを示す図である。

【図10】従来のMOSトランジスタ対のマスキレイアウトを示す図である。

【図11】従来の他のMOSトランジスタ対のマスキレイアウトを示す図である。

【図12】従来の更に他のMOSトランジスタ対のマスキレイアウトを示す図である。

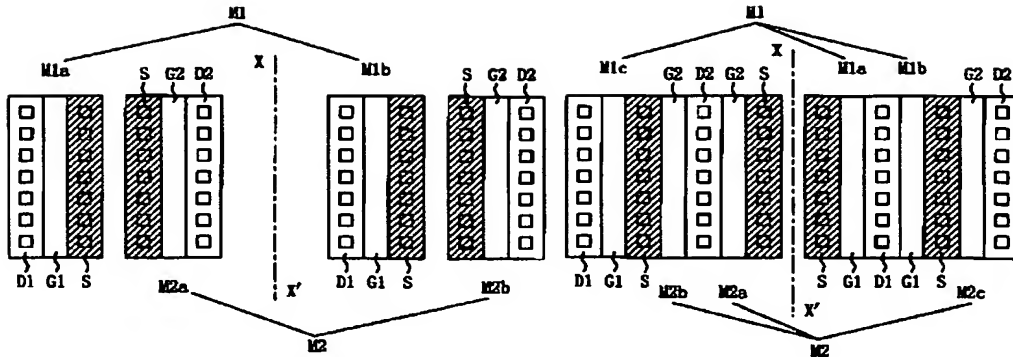
【図13】従来の別のMOSトランジスタ対のマスキレイアウトを示す図である。

30 【図14】従来の更に別のMOSトランジスタ対のマスキレイアウトを示す図である。

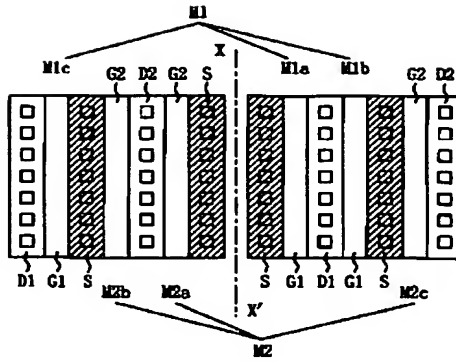
【符号の説明】

| | |
|-------------|-------------------------|
| M1 | 第1のMOSトランジスタ |
| M2 | 第2のMOSトランジスタ |
| M3 | 第3のMOSトランジスタ（出力トランジスタ） |
| M1a、M1b、M1c | 第1の分割トランジスタ |
| M2a、M2b、M2c | 第2の分割トランジスタ |
| M3a、M3b | 第3の分割トランジスタ |
| G1、G2 | ゲート |
| S | ソース |
| D1、D2 | ドレイン |
| x、x' | MOSトランジスタ対のマスキレイアウトの中心線 |

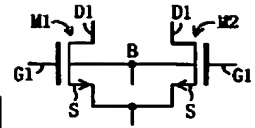
【図1】



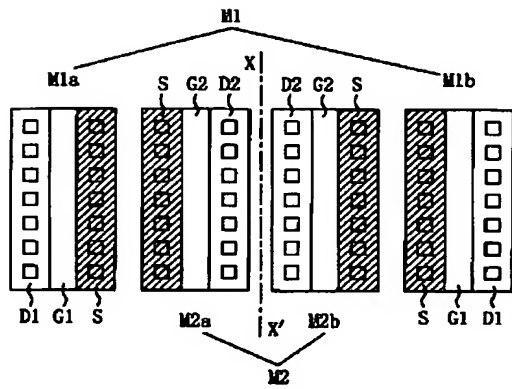
【図2】



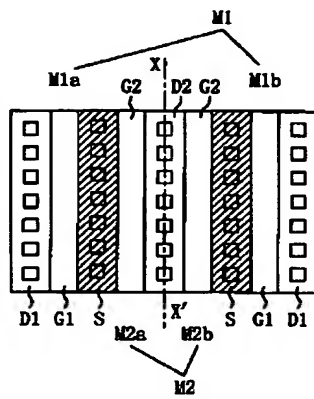
【図6】



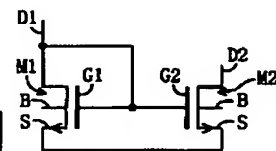
【図3】



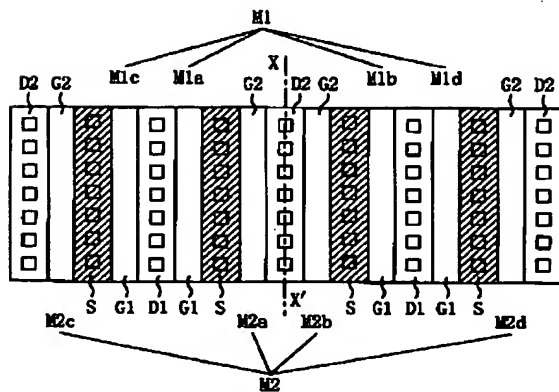
【図4】



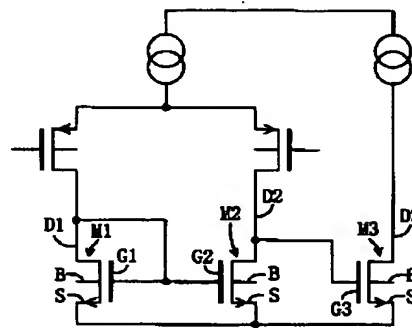
【図7】



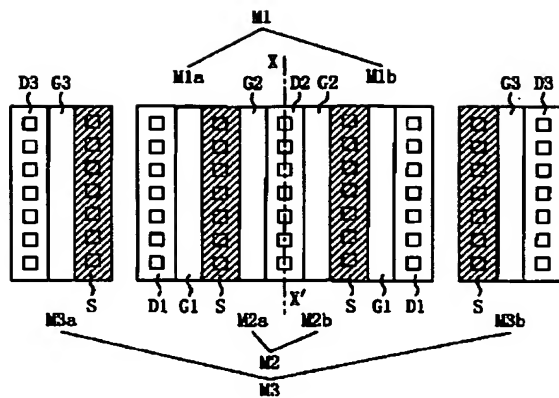
【図5】



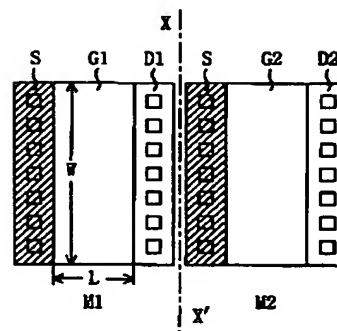
【図8】



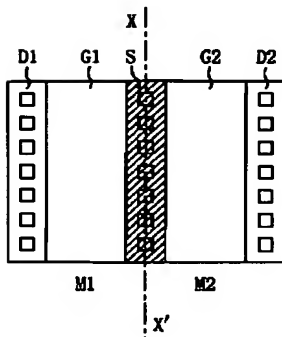
【図9】



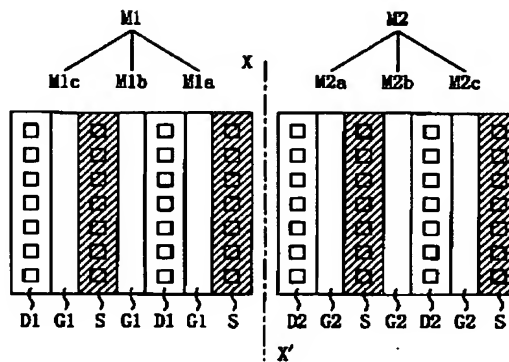
【図10】



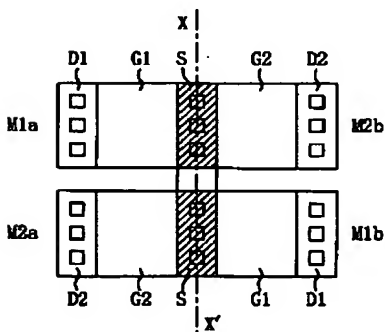
【図11】



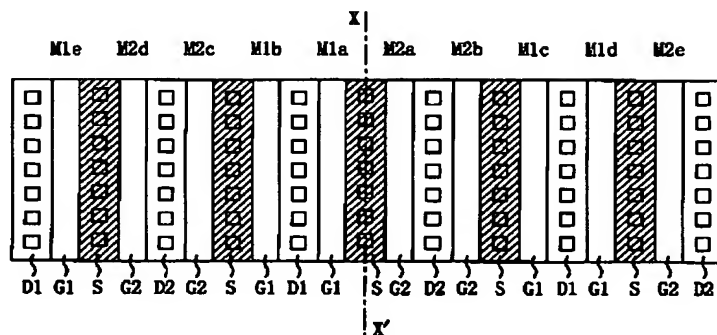
【図12】



【図13】



【図14】



フロントページの続き

(51)Int.Cl.⁷
H03F 3/45

識別記号

F I

テーマコード(参考)

(72)発明者 栗本 秀彦
大阪府高槻市幸町 1 番 1 号 松下電子工業
株式会社内

(72)発明者 道正 志郎
大阪府高槻市幸町 1 番 1 号 松下電子工業
株式会社内

(72)発明者 長岡 一彦
大阪府高槻市幸町 1 番 1 号 松下電子工業
株式会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning these documents will not correct the image
problems checked, please do not report these problems to
the IFW Image Problem Mailbox.**